

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6482745号
(P6482745)

(45) 発行日 平成31年3月13日(2019.3.13)

(24) 登録日 平成31年2月22日(2019.2.22)

(51) Int.Cl.		F I			
A 6 1 B	1/045	(2006.01)	A 6 1 B	1/045	6 3 0
A 6 1 B	1/04	(2006.01)	A 6 1 B	1/04	5 3 0
G 0 2 B	23/24	(2006.01)	G 0 2 B	23/24	B

請求項の数 8 (全 14 頁)

(21) 出願番号	特願2018-557560 (P2018-557560)	(73) 特許権者	000000376
(86) (22) 出願日	平成29年10月11日 (2017.10.11)		オリンパス株式会社
(86) 国際出願番号	PCT/JP2017/036846		東京都八王子市石川町2951番地
(87) 国際公開番号	W02018/116587	(74) 代理人	100108855
(87) 国際公開日	平成30年6月28日 (2018.6.28)		弁理士 蔵田 昌俊
審査請求日	平成30年11月26日 (2018.11.26)	(74) 代理人	100103034
(31) 優先権主張番号	特願2016-248370 (P2016-248370)		弁理士 野河 信久
(32) 優先日	平成28年12月21日 (2016.12.21)	(74) 代理人	100153051
(33) 優先権主張国	日本国 (JP)		弁理士 河野 直樹
早期審査対象出願		(74) 代理人	100179062
			弁理士 井上 正
		(74) 代理人	100199565
			弁理士 飯野 茂
		(74) 代理人	100162570
			弁理士 金子 早苗

最終頁に続く

(54) 【発明の名称】 撮像装置及び内視鏡システム

(57) 【特許請求の範囲】

【請求項 1】

映像信号を生成する画素部と、
 前記画素部で生成された前記映像信号を読み出す読み出し回路と、
 前記読み出し回路で読み出された前記映像信号を信号処理装置に出力する出力回路と、
 前記画素部、前記読み出し回路及び前記出力回路を駆動するための第1のクロックを生成するクロック生成回路と、
 前記第1のクロックと前記信号処理装置で生成された同期信号とに従って、前記映像信号を前記出力回路から前記信号処理装置に出力させる第1の制御回路と、
 を有する撮像素子と、
 前記撮像素子の外部に設けられ、前記出力回路から出力された前記映像信号と前記信号処理装置で生成された第2のクロックとの位相を比較し、位相の比較結果を表す位相差信号を出力する位相比較回路と、
 を具備し、
 前記クロック生成回路は、前記位相差信号に応じた電源電圧に基づいて前記第1のクロックを生成し、
 前記出力回路は、前記映像信号とともに前記第1のクロックの位相信号を前記撮像素子から出力する撮像装置。

【請求項 2】

映像信号を生成する画素部と、

前記画素部で生成された前記映像信号を読み出す読み出し回路と、
前記読み出し回路で読み出された前記映像信号を信号処理装置に出力する出力回路と、
前記画素部、前記読み出し回路及び前記出力回路を駆動するための第1のクロックを生成するクロック生成回路と、
前記第1のクロックとリセット信号とに従って、前記映像信号を前記出力回路から前記信号処理装置に出力させる第1の制御回路と、
を有する撮像素子と、
前記撮像素子の外部に設けられ、前記出力回路から出力された前記映像信号と前記信号処理装置で生成された第2のクロックとの位相を比較し、位相の比較結果を表す位相差信号を出力する位相比較回路と、
を具備し、
前記クロック生成回路は、前記位相差信号に応じた電源電圧に基づいて前記第1のクロックを生成し、
前記出力回路は、前記映像信号とともに前記第1のクロックの位相信号を前記撮像素子から出力する撮像装置。

10

【請求項3】

前記リセット信号は、前記信号処理装置の制御回路から前記第1の制御回路に供給される請求項2に記載の撮像装置。

【請求項4】

電源投入時に前記リセット信号を前記第1の制御回路に出力するパワーオンリセット回路をさらに具備する請求項2に記載の撮像装置。

20

【請求項5】

映像信号を生成する画素部と、
前記画素部で生成された前記映像信号を読み出す読み出し回路と、
前記読み出し回路で読み出された前記映像信号を信号処理装置に出力する出力回路と、
前記画素部、前記読み出し回路及び前記出力回路を駆動するための第1のクロックを生成するクロック生成回路と、
前記第1のクロックと前記信号処理装置で生成された同期信号とに従って、前記映像信号を前記出力回路から前記信号処理装置に出力させる第1の制御回路と、
を有する撮像素子が設けられた挿入部と、
前記撮像素子の外部に設けられ、前記出力回路から出力された前記映像信号と前記信号処理装置で生成された第2のクロックとの位相を比較し、位相の比較結果を表す位相差信号を出力する位相比較回路と、
を具備し、
前記クロック生成回路は、前記位相差信号に応じた電源電圧に基づいて前記第1のクロックを生成し、
前記出力回路は、前記映像信号とともに前記第1のクロックの位相信号を前記撮像素子から出力する内視鏡システム。

30

【請求項6】

映像信号を生成する画素部と、
前記画素部で生成された前記映像信号を読み出す読み出し回路と、
前記読み出し回路で読み出された前記映像信号を信号処理装置に出力する出力回路と、
前記画素部、前記読み出し回路及び前記出力回路を駆動するための第1のクロックを生成するクロック生成回路と、
前記第1のクロックとリセット信号とに従って、前記映像信号を前記出力回路から前記信号処理装置に出力させる第1の制御回路と、
を有する撮像素子が設けられた挿入部と、
前記撮像素子の外部に設けられ、前記出力回路から出力された前記映像信号と前記信号処理装置で生成された第2のクロックとの位相を比較し、位相の比較結果を表す位相差信号を出力する位相比較回路と、

40

50

を具備し、

前記クロック生成回路は、前記位相差信号に応じた電源電圧に基づいて前記第1のクロックを生成し、

前記出力回路は、前記映像信号とともに前記第1のクロックの位相信号を前記撮像素子から出力する内視鏡システム。

【請求項7】

前記リセット信号は、前記信号処理装置の制御回路から前記第1の制御回路に供給される請求項6に記載の内視鏡システム。

【請求項8】

電源投入時に前記リセット信号を前記第1の制御回路に出力するパワーオンリセット回路をさらに具備する請求項6に記載の内視鏡システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置及びそれを備えた内視鏡システムに関する。

【背景技術】

【0002】

近年の内視鏡等の撮像装置においては、スコープ径の細径化の要望がある。細径化を実現するための手段として、撮像素子に接続される信号線の本数を削減することが考えられる。撮像素子に接続される信号線としては、最低限、映像信号線、電源線、グランド線の3本が必要である。ただし、この場合には、日本国特開2013-132385号公報で説明されている構成等のように、撮像素子を駆動するためのクロックを撮像素子の内部で生成する必要がある。

【発明の概要】

【0003】

ここで、撮像素子を駆動するためのクロックを撮像素子の内部で生成する場合、撮像素子の外部の装置との同期を取れなくなる可能性が生じる。

【0004】

本発明は、前記の事情に鑑みてなされたもので、撮像素子の内部でクロックを生成する構成において、撮像素子とその外部装置との同期を保つことができる撮像装置及びそれを備えた内視鏡システムを提供することを目的とする。

【0005】

本発明の一態様の撮像装置は、映像信号を生成する画素部と、前記画素部で生成された前記映像信号を読み出す読み出し回路と、前記読み出し回路で読み出された前記映像信号を信号処理装置に出力する出力回路と、前記画素部、前記読み出し回路及び前記出力回路を駆動するための第1のクロックを生成するクロック生成回路と、前記第1のクロックと前記信号処理装置で生成された同期信号とに従って、前記映像信号を前記出力回路から前記信号処理装置に出力させる第1の制御回路とを有する撮像素子と、前記撮像素子の外部に設けられ、前記出力回路から出力された前記映像信号と前記信号処理装置で生成された第2のクロックとの位相を比較し、位相の比較結果を表す位相差信号を出力する位相比較回路とを具備し、前記クロック生成回路は、前記位相差信号に応じた電源電圧に基づいて前記第1のクロックを生成し、前記出力回路は、前記映像信号とともに前記第1のクロックの位相信号を前記撮像素子から出力する。

【0006】

本発明の一態様の内視鏡システムは、映像信号を生成する画素部と、前記画素部で生成された前記映像信号を読み出す読み出し回路と、前記読み出し回路で読み出された前記映像信号を信号処理装置に出力する出力回路と、前記画素部、前記読み出し回路及び前記出力回路を駆動するための第1のクロックを生成するクロック生成回路と、前記第1のクロックと前記信号処理装置で生成された同期信号とに従って、前記映像信号を前記出力回路から前記信号処理装置に出力させる第1の制御回路とを有する撮像素子が設けられた挿入

10

20

30

40

50

部と、前記撮像素子の外部に設けられ、前記出力回路から出力された前記映像信号と前記信号処理装置で生成された第2のクロックとの位相を比較し、位相の比較結果を表す位相差信号を出力する位相比較回路とを具備し、前記クロック生成回路は、前記位相差信号に応じた電源電圧に基づいて前記第1のクロックを生成し、前記出力回路は、前記映像信号とともに前記第1のクロックの位相信号を前記撮像素子から出力する。

【0007】

本発明によれば、撮像素子の内部でクロックを生成する構成において、撮像素子とその外部装置との同期を保つことができる撮像装置及びそれを備えた内視鏡システムを提供することができる。

【図面の簡単な説明】

10

【0008】

【図1】図1は、本発明の一実施形態に係る撮像装置を含む内視鏡システムの概略の構成を示す図である。

【図2】図2は、本発明の一実施形態における撮像素子及びコネクタの詳細な構成を示す図である。

【図3】図3は、変形例1の撮像素子及びコネクタの詳細な構成を示す図である。

【図4】図4は、変形例2の撮像素子及びコネクタの詳細な構成を示す図である。

【図5】図5は、変形例3の撮像素子及びコネクタの詳細な構成を示す図である。

【図6】図6は、変形例4の撮像素子及びコネクタの詳細な構成を示す図である。

【発明を実施するための形態】

20

【0009】

以下、図面を参照して本発明の実施形態を説明する。図1は、本発明の一実施形態に係る撮像装置を含む内視鏡システムの概略の構成を示す図である。図1に示す内視鏡システム1は、スコープ10と、コントローラ20と、モニタ30とを有している。スコープ10は、被検体の体内の映像信号をコントローラ20の画像プロセッサ22に伝送する。画像プロセッサ22は、スコープ10から伝送された映像信号を処理する。モニタ30は、コントローラ20で処理された映像信号に基づいて映像を表示する。

【0010】

本実施形態における撮像装置として機能するスコープ10は、挿入部11と、操作部14と、ケーブル15と、コネクタ16と、コネクタ17とを有している。

30

【0011】

挿入部11は、被検体の体内に挿入される部分である。挿入部11の先端の内部には、撮像素子12が設けられている。撮像素子12は、CMOSセンサ又はCCDセンサであり、コネクタ17から入力される同期信号に同期して被検体の体内を撮像して被検体に係る映像信号を生成する。また、挿入部11は、先端から照明光を射出可能に構成されている。

【0012】

また、挿入部11は、医師等の操作者による操作部14の操作ノブの操作を受けて湾曲するように構成された部分と、操作部14の操作によらずに外力によって受動的に湾曲するような部分とを有するように構成されている。

40

【0013】

操作部14は、挿入部11とケーブル15とを接続している。操作部14は、挿入部11を右左方向に湾曲させる操作を行うためのRLノブと、挿入部11を上下方向に湾曲させる操作を行うためのUDノブとを操作ノブとして有している。また、操作部14は、各種のスイッチを有している。

【0014】

挿入部11、操作部14及びケーブル15の内部には、ライトガイドが形成されている。このライトガイドは、ケーブル15の基端に設けられたコネクタ16を介してコントローラ20の光源装置21に接続されている。また、挿入部11、操作部14及びケーブル15の内部には、各種の信号線が形成されている。この信号線は、コネクタ16に接続さ

50

れるコネクタ 17 を介してコントローラ 20 の画像プロセッサ 22 に接続されている。

【 0015】

光源装置 21 は、白色 LED 等の光源を有しており、照明光を射出する。光源装置 21 から射出された照明光は、ライトガイドを介して挿入部 11 の先端まで伝達され、挿入部 11 の先端から射出される。これにより、被検体内は照明される。

【 0016】

撮像素子 12 の外部の信号処理装置としての画像プロセッサ 22 は、挿入部 11 の撮像素子 12 で得られた映像信号を処理する。この処理は、階調補正処理等の映像信号をモニタ 30 で表示可能な形式に変換する処理を含む。また、画像プロセッサ 22 は、撮像素子 12 の動作を制御するための制御信号と所定の周波数を有する基準クロック（第 2 のクロック）とを生成し、生成した制御信号と第 2 のクロックとをコネクタ 17 に入力する。

10

【 0017】

図 1 では、コントローラ 20 に画像プロセッサ 22 と光源装置 21 がそれぞれ独立して存在するものとして説明したが、1つの筐体として構成されていてもよい。

【 0018】

モニタ 30 は、例えば液晶モニタである。モニタ 30 は、画像プロセッサ 22 で生成された第 2 のクロックに同期して、画像プロセッサ 22 で処理された映像信号に基づく映像や各種の情報を表示する。

【 0019】

図 2 は、本実施形態における撮像素子 12 及びコネクタ 17 の詳細な構成を示す図である。

20

【 0020】

図 2 に示すように、撮像素子 12 は、画素部 201 と、読み出し回路 202 と、出力回路 203 と、駆動回路 204 と、制御回路 205 と、クロック生成回路 206 と、電源回路 207 と、カウンタ 208 と、位相信号生成回路 209 とを有している。ここで、撮像素子 12 の各ブロックは、例えばハードウェアによって構成されている。しかしながら、制御回路 205 等の一部のブロックは必ずしもハードウェアによって構成されている必要はなく、ソフトウェアによって構成されていてもよい。また、撮像素子 12 の各ブロックは、単一のハードウェア又はソフトウェアによって構成されていなくてもよく、複数のハードウェア又はソフトウェアによって構成されていてもよい。

30

【 0021】

画素部 201 は、2次元状に配置された複数の画素を有する。それぞれの画素は、例えばフォトダイオードにより構成され、入射光に応じたアナログの電気信号（映像信号）を出力する。それぞれの画素の電荷蓄積時間（露光時間）は、駆動回路 204 で生成される駆動信号に従って制御される。

【 0022】

読み出し回路 202 は、駆動回路 204 で生成される駆動信号に従って画素部 201 の各画素から映像信号を読み出し、読み出した映像信号に対してリセットノイズの除去、増幅処理等の必要なアナログ処理を施してから映像信号を出力回路 203 に出力する。ここで、読み出し回路 202 は、画素部 201 におけるオプティカルブラック領域の信号も併せて読み出すように構成されていてもよい。

40

【 0023】

出力回路 203 は、駆動回路 204 で生成される駆動信号に従って、読み出し回路 202 に保持していた映像信号と位相信号生成回路 209 から入力された第 1 のクロックの位相を反映した位相信号とを異なる期間でアナログ信号の状態でケーブル 15 の内部に設けられた映像信号線を介してコネクタ 17 に出力する。

【 0024】

駆動回路 204 は、制御回路 205 からの制御信号に基づいて画素部 201、読み出し回路 202、出力回路 203 のそれぞれに駆動信号を出力する。

【 0025】

50

第1の制御回路としての制御回路205は、ケーブル15を介してコネクタ17から入力される同期信号（垂直同期信号及び水平同期信号）の入力に応じてクロック生成回路206で生成されるクロックをカウントして画素部201、読み出し回路202、出力回路203の駆動パターンを示す制御信号を出力する。

【0026】

クロック生成回路206は、電圧制御発振回路（VCO）を含み、電源回路207から入力される電源電圧に基づいて所定の周波数の基準クロック（第1のクロック）を生成する。また、クロック生成回路206は、所定の周波数のクロックを生成できるものであれば、その構成は特に限定されない。ただし、クロック生成回路206は撮像素子12に搭載されるものであるため、リング発振器を用いた構成等の可能な限り小型に構成できるものが望ましい。

10

【0027】

電源回路207は、ケーブル15を介してコネクタ17から供給される電源電圧を必要に応じて昇圧または降圧して撮像素子12の各ブロックに供給する。また、電源回路207は、ケーブル15を介してコネクタ17から供給される電源電圧をクロック生成回路206に出力する。

【0028】

カウンタ208は、制御回路205とクロック生成回路206とに接続されている。このカウンタ208は、コネクタ17からの同期信号の入力に応じてクロック生成回路206で生成された第1のクロックをカウントし、第1のクロックのカウント値が所定カウント値になったときに制御回路205に対してその旨を通知する信号を出力する。

20

【0029】

位相信号生成回路209は、出力回路203とクロック生成回路206とに接続されている。この位相信号生成回路209は、クロック生成回路206で生成された第1のクロックの位相を反映した位相信号を出力回路203に出力する。

【0030】

コネクタ17は、AD変換回路（ADC）301と、制御回路303と、電源回路304と、クロック生成回路306と、位相比較回路307と、LPF308とを有している。ここで、コネクタ17の各ブロックの機能は、スコープ10の内部における撮像素子12とは別個に設けられていてもよい。例えば、コネクタ17の各ブロックの機能は、コネクタ17以外の例えば挿入部11、コネクタ16又は操作部14に配置されていてもよい。

30

【0031】

ADC301は、クロック生成回路306で生成されたAD駆動クロックに同期して映像信号をサンプリングしてデジタル信号に変換する。

【0032】

第2の制御回路としての制御回路303は、画像プロセッサ22からの制御信号の入力を受けて、画像プロセッサ22から入力されるクロック（第2のクロック）をカウントして同期信号を生成する。そして、制御回路303は、同期信号を撮像素子12に入力する。前述したように、撮像素子12は、この同期信号に応じてクロック生成回路206で生成されたクロックをカウントすることによって動作する。

40

【0033】

電源回路304は、例えば画像プロセッサ22から供給される電源電圧を必要に応じて昇圧または降圧してコネクタ17の各ブロックに供給する。また、電源回路304は、例えば画像プロセッサ22から供給される電源電圧及びグランド信号をケーブル15の内部に設けられた電源線及びグランド線を介して撮像素子12に出力する。撮像素子12は、これらの電源電圧に基づいて動作する。また、電源回路304は、LPF308から入力される直流電圧を反映した電源電圧をケーブル15の内部に設けられた電源線を介して撮像素子12に出力する。

【0034】

50

クロック生成回路306には、画像プロセッサ22で生成された第2のクロックが入力される。このクロック生成回路306は、第2のクロックからADC301を動作させるためのAD駆動クロックを生成する。

【0035】

位相比較回路307は、コネクタ17の映像信号の入力端に接続されており、映像信号とともに撮像素子12の出力回路203から送られてくる第1のクロックの位相を反映した位相信号と第2のクロックとの位相比較をし、第1のクロックと第2のクロックとの位相差を示す位相差信号を出力する。

【0036】

LPF308は、位相比較回路307から入力される位相差信号を積分して直流電圧化するループフィルタである。

【0037】

以下、本実施形態の内視鏡システム1の動作を説明する。まず、内視鏡システム1の光源装置21及び画像プロセッサ22の電源がオンされる。このとき、例えば光源装置21からスコープ10の撮像素子12に対して電源電圧が供給され、撮像素子12の電源もオンされる。また、内視鏡画像の表示のために、画像プロセッサ22からコネクタ17の制御回路303に対して撮像素子12の動作を開始させる旨の制御信号及び第2のクロックが入力される。

【0038】

制御回路303は、制御信号と第2のクロックとの入力に応じて同期信号（垂直同期信号及び水平同期信号）を生成する。垂直同期信号は、モニタ30における内視鏡画像の更新期間である1フレームの始まりを示す同期信号である。水平同期信号は、それぞれのフレームにおける1行（1ライン）分の出力の始まりを示す同期信号である。制御回路303は、第2のクロックをカウントしながら垂直同期信号を出力すべきタイミングとなったときには垂直同期信号を出力し、その後水平同期信号を出力すべきタイミングとなったときには水平同期信号を出力する。

【0039】

撮像素子12の制御回路205は、カウンタ208からの同期信号のカウント結果の信号の入力を受けて画素部201の読み出し画素行の選択と、画素読み出し動作のための制御信号を生成する。すなわち、制御回路205は、水平同期信号を受ける毎に対応する画素行における映像信号を読み出すように駆動回路204に制御信号を出力する。

【0040】

駆動回路204は、制御回路205からの制御信号を受けて、画素部201の選択された行の画素からの映像信号を読み出し回路202に転送するよう画素駆動を行うと同時に、リセットノイズの除去などを行うように読み出し回路202を駆動する。さらに、駆動回路204は、読み出し回路202に読み出された映像信号及び位相信号生成回路209からの第1のクロックの位相を反映した位相信号を出力回路203から出力させるように出力回路203を駆動する。すなわち、撮像素子12の制御回路205に水平同期信号が入力される毎に、1行分の映像信号及び第1のクロックの位相を反映した位相信号が出力回路203から出力される。

【0041】

出力回路203から出力された映像信号は、クロック生成回路306において生成されるAD駆動クロックに同期してコネクタ17のADC301においてデジタル信号に変換される。このデジタル映像信号は画像プロセッサ22に出力される。

【0042】

一方、出力回路203から出力された第1のクロックの位相を反映した位相信号は、位相比較回路307に入力される。位相比較回路307は、第1のクロックの位相を反映した位相信号と第2のクロックとの位相比較をし、第1のクロックと第2のクロックとの位相差を示す位相差信号を出力する。LPF308は、位相差信号を積分して直流電圧化して電源回路304に出力する。電源回路304は、LPF308の出力を受けて撮像素子

10

20

30

40

50

12の電源回路207に出力する電源電圧を制御する。電源回路207は、電源回路304から入力される電源電圧に応じた電源電圧をクロック生成回路206に出力する。クロック生成回路206から出力される所定の周波数の基準クロック(第1のクロック)は第2のクロックと周波数が等しくなるように調整される。

【0043】

制御回路205はカウンタ208の出力に従って1行分の映像信号を順次繰り返し出力するように動作し、1フレーム分の映像信号を出力する。この制御回路205は、一定の蓄積時間を経て、第2の制御回路としての制御回路303からの垂直同期信号を受けて、次のフレームの映像信号出力動作を開始する。

【0044】

前述したように、撮像素子12のクロック生成回路206には可能な限りに小型なものが用いられることが望ましい。ここで、水晶発振器のような比較的に大型のクロック発振器は、クロック生成回路206として撮像素子12に搭載できない可能性がある。これに対し、リング発振器は撮像素子12に搭載することができる可能性が高い。しかしながら、リング発振器は電源電圧の依存性がある。このため、クロック生成回路206としてリング発振器が用いられた場合、温度変動等の影響によって電源電圧が変動してしまうと、クロック生成回路206で生成される第1のクロックの周波数変動が生じてしまう可能性がある。しかしながら、クロック生成回路206は、第1のクロックの周波数が第2のクロックの周波数と等しくなるようなフィードバック制御がなされるので、撮像素子12からの映像信号の出力と画像プロセッサ22による映像の表示とを同期させることができる。

【0045】

以上説明したように本実施形態によれば、撮像素子12の内部にクロック生成回路を搭載することにより、撮像素子12に対してクロックを伝送する必要がない。このため、クロックを伝送するための信号線をケーブル15に設ける必要がなく、その分だけケーブル15の細径化を図ることができる。

【0046】

また、撮像素子12にクロック生成回路を搭載することにより、撮像素子12の撮像動作と画像プロセッサ22の表示動作との同期がとれなくなるおそれがある。これに対し、本実施形態では、撮像素子12とコネクタ17との間で1つのPLLを構成し、このPLLによって周波数が画像プロセッサ22で生成された第2のクロックに等しくなるよう調整制御された第1のクロックを生成する。これにより、第2のクロックとの同期がとられた第1のクロックを撮像素子12において生成することができ、結果として、撮像素子12の撮像動作と画像プロセッサ22の表示動作との同期をとることができる。

【0047】

以下、本実施形態の変形例を説明する。

【0048】

[変形例1]

まず、変形例1について説明する。前述した実施形態は、撮像素子12からコネクタ17へ伝送される映像信号がアナログ信号の場合の構成例である。これに対し、変形例1は、撮像素子12からコネクタ17へ伝送される映像信号がデジタル信号の場合の構成例である。

【0049】

図3は、変形例1の撮像素子12及びコネクタ17の詳細な構成を示す図である。なお、図3において、図2と同一の構成については図2と同様の参照符号を付すことで説明を省略する。

【0050】

変形例1のコネクタ17は、ADC301及びクロック生成回路306に代えてLVDSレシーバ301aを有している。LVDSレシーバ301aは、後で説明するように撮像素子12のLVDSドライバ203cから伝送されてくるLVDS信号を第1のクロッ

10

20

30

40

50

クと映像信号とに分離する。そして、LVDSレシーバ301aは、映像信号を画像プロセッサ22に出力するとともに、クロックを位相比較回路307に出力する。

【0051】

変形例1の撮像素子12においては、クロック生成回路206で生成された第1のクロックが分周器210に入力される。分周器210は、入力された第1のクロックを所定の分周比で分周する。例えば、分周器210は、クロック生成回路206で生成された第1のクロックの周波数を1/10にする。なお、分周器210における分周比は適宜に設定することができる。

【0052】

変形例1のカウンタ208は、同期信号の入力に応じて分周器210で分周されたクロックをカウントし、クロックのカウント値が所定カウント値になったときに制御回路205に対してその旨を通知する信号を出力する。

10

【0053】

変形例1の制御回路205は、分周器210で分周されたクロックに同期して制御信号を画素部201及び読み出し回路202に出力する。すなわち、変形例1においては、画素部201及び読み出し回路202は、分周されたクロックに同期して駆動される。

【0054】

変形例1の撮像素子12は、出力回路203の代わりにADC203aと、伝送信号生成回路203bと、LVDSドライバ203cとを有している。

【0055】

20

ADC203aには、クロック生成回路206で生成された第1のクロックが入力され、第1のクロックをAD駆動クロックとして映像信号をサンプリングしてデジタル信号に変換する。すなわち、変形例1では、AD変換は分周されていない第1のクロックに同期して行われる。

【0056】

伝送信号生成回路203bは、デジタル化された映像信号にクロック生成回路206で生成された第1のクロックの位相を反映した位相信号を付加したシリアル信号を生成し、LVDSドライバ203cに出力する。

【0057】

LVDSドライバ203cは、伝送信号生成回路203bで生成されたシリアル信号を小振幅差動信号(LVDS信号)に変換して、ケーブル15の内部に設けられた映像信号線を介してコネクタ17に出力する。

30

【0058】

以上説明したように変形例1ではLVDS方式を用いて映像信号と位相信号を転送することにより、信号転送の高速化及び信号転送の際の低消費電力化を図ることが可能である。また、前述した実施形態と同様にして撮像素子12とコネクタ17との間で全体としてPLLを構成することにより、仮に周波数変動があったとしても第2のクロックとの同期がとられた第1のクロックを撮像素子12の内部において生成することができる。

【0059】

また、第1のクロックを分周器210において分周することによって画素部201を駆動するためのクロックの周波数とADC203aを駆動するクロックの周波数とを個別に生成することもできる。

40

【0060】

[変形例2]

次に、変形例2について説明する。変形例2は、変形例1の変形例であり、図4に示すように、カウンタ208の代わりにデコーダ208aを用いる例である。変形例2においては、制御回路303は、同期信号ではなく、画像プロセッサ22からの制御信号がそのまま入力される。デコーダ208aは、この制御信号を解読して、解読結果を制御回路205に出力する。制御回路205は、デコーダ208aからの解読結果の信号を受けて、画素部201及び読み出し回路202の駆動パターンを示す制御信号を出力する。

50

【 0 0 6 1 】

以上説明したような変形例 2 においても変形例 1 と同様にして第 2 のクロックとの同期がとられた第 1 のクロックを撮像素子 1 2 の内部において生成することができる。

【 0 0 6 2 】

[変形例 3]

次に、変形例 3 について説明する。図 5 は、変形例 3 の撮像素子 1 2 及びコネクタ 1 7 の詳細な構成を示す図である。なお、図 5 において、図 2 と同一の構成については図 2 と同様の参照符号を付すことで説明を省略する。

【 0 0 6 3 】

図 5 に示すように、変形例 3 では、コネクタ 1 7 の制御回路 3 0 3 は、制御信号と第 2 のクロックとの入力に応じて同期信号ではなく、リセット信号を生成する。そして、制御回路 3 0 3 は、リセット信号を撮像素子 1 2 のカウンタ 2 0 8 に入力する。

10

【 0 0 6 4 】

変形例 3 におけるカウンタ 2 0 8 も、第 1 のクロックのカウント値を制御回路 2 0 5 に入力する。ここで、変形例 3 におけるカウンタ 2 0 8 は、制御回路 3 0 3 からのリセット信号を受けて第 1 のクロックのカウント値をリセットして第 1 のクロックのカウントをし直す。

【 0 0 6 5 】

変形例 3 における制御回路 2 0 5 は、カウンタ 2 0 8 からの第 1 のクロックのカウント値の入力を受けて画素部 2 0 1 の読み出し画素行の選択と、画素読み出し動作のための制御信号を生成する。

20

【 0 0 6 6 】

以上説明したように変形例 3 においても、撮像素子 1 2 の内部にクロック生成回路を搭載することにより、撮像素子 1 2 に対してクロックを伝送する必要がない。このため、クロックを伝送するための信号線をケーブル 1 5 に設ける必要がなく、その分だけケーブル 1 5 の細径化を図ることができる。

【 0 0 6 7 】

また、カウンタ 2 0 8 のカウント値をリセットするリセット信号は、予期しない動作をした場合の撮像素子 1 2 を初期状態に戻すように働く。これにより、撮像素子 1 2 の撮像動作をリセットすることができる。

30

【 0 0 6 8 】

ここで、図 5 は、図 2 に対する変形例であるが、図 5 と同様のカウンタは図 3 の構成においても適用され得る。

【 0 0 6 9 】

[変形例 4]

次に、変形例 4 について説明する。図 6 は、変形例 4 の撮像素子 1 2 及びコネクタ 1 7 の詳細な構成を示す図である。なお、図 6 において、図 2 と同一の構成については図 2 と同様の参照符号を付すことで説明を省略する。

【 0 0 7 0 】

図 6 に示すように、変形例 4 では、撮像素子 1 2 は、パワーオンリセット回路 2 1 1 をさらに有している。このパワーオンリセット回路 2 1 1 は、電源回路 2 0 7 と電源回路 3 0 4 との間の電源線及びグランド線に接続されている。そして、パワーオンリセット回路 2 1 1 は、内視鏡システム 1 の電源投入時にリセット信号をカウンタ 2 0 8 に入力する。この他、パワーオンリセット回路 2 1 1 は、電源電圧が所定電圧以下となった場合等の予期しない電源電圧変動があったときにもリセット信号を入力する。

40

【 0 0 7 1 】

変形例 4 におけるカウンタ 2 0 8 も、第 1 のクロックのカウント値を制御回路 2 0 5 に入力する。ここで、変形例 4 におけるカウンタ 2 0 8 は、パワーオンリセット回路 2 1 1 からのリセット信号を受けて第 1 のクロックのカウント値をリセットして第 1 のクロックのカウントをし直す。

50

【 0 0 7 2 】

変形例 4 における制御回路 2 0 5 は、カウンタ 2 0 8 からの第 1 のクロックのカウンタ値の入力を受けて画素部 2 0 1 の読み出し画素行の選択と、画素読み出し動作のための制御信号を生成する。

【 0 0 7 3 】

以上説明したように変形例 4 においても、撮像素子 1 2 の内部にクロック生成回路を搭載することにより、撮像素子 1 2 に対してクロックを伝送する必要がない。このため、クロックを伝送するための信号線をケーブル 1 5 に設ける必要がなく、その分だけケーブル 1 5 の細径化を図ることができる。

【 0 0 7 4 】

また、カウンタ 2 0 8 のカウンタ値をリセットするリセット信号は、予期しない動作をした場合の撮像素子 1 2 を初期状態に戻すように働く。これにより、撮像素子 1 2 の撮像動作を電源の再投入によりリセットすることができる。さらに、変形例 4 では、リセット信号は撮像素子 1 2 の内部で生成される。このため、変形例 4 ではリセット信号を伝送するための信号線が不要であり、その分だけケーブル 1 5 の細径化を図ることができる。

【 0 0 7 5 】

ここで、図 6 は、図 2 に対する変形例であるが、図 6 と同様のカウンタは図 3 の構成においても適用され得る。

【 0 0 7 6 】

[その他の変形例]

以上の一実施形態及びその変形例においては、内視鏡システムが例に挙げられている。これに対し、本実施形態における撮像装置（スコープ 1 0）は、必ずしも被検体の体内に挿入されるものである必要はない。例えば、本実施形態における撮像装置は、被検体の体外から撮像を行う体外カメラであってもよい。

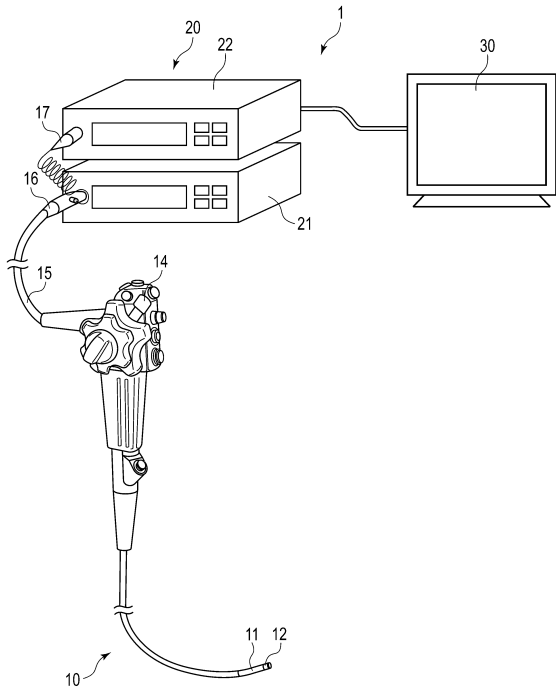
【 0 0 7 7 】

以上実施形態に基づいて本発明を説明したが、本発明は上述した実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形や応用が可能なのは勿論である。

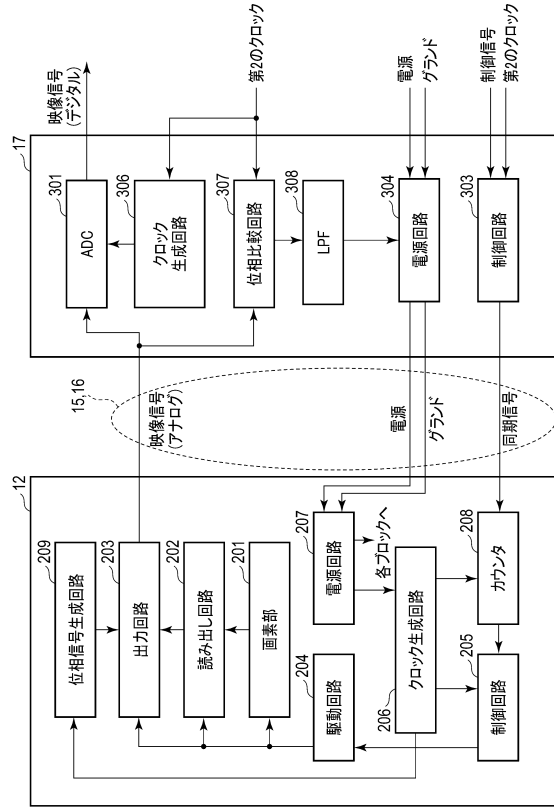
10

20

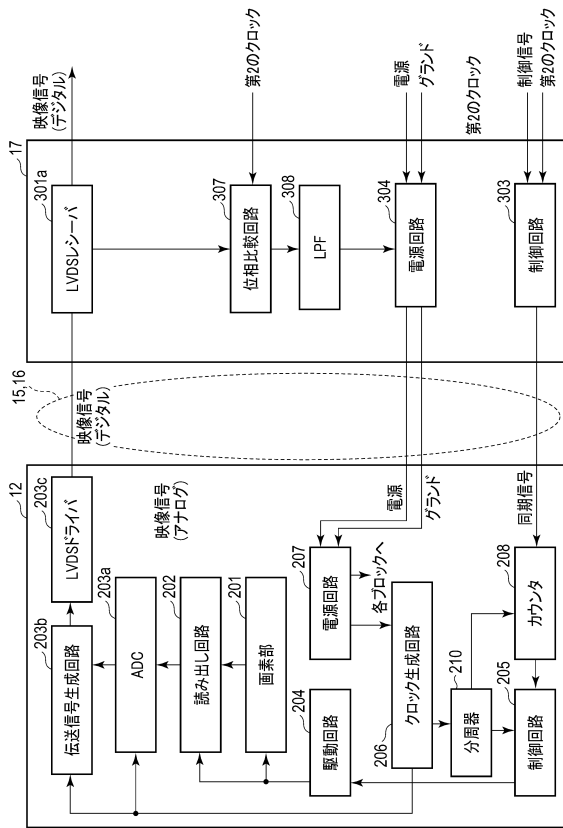
【図1】



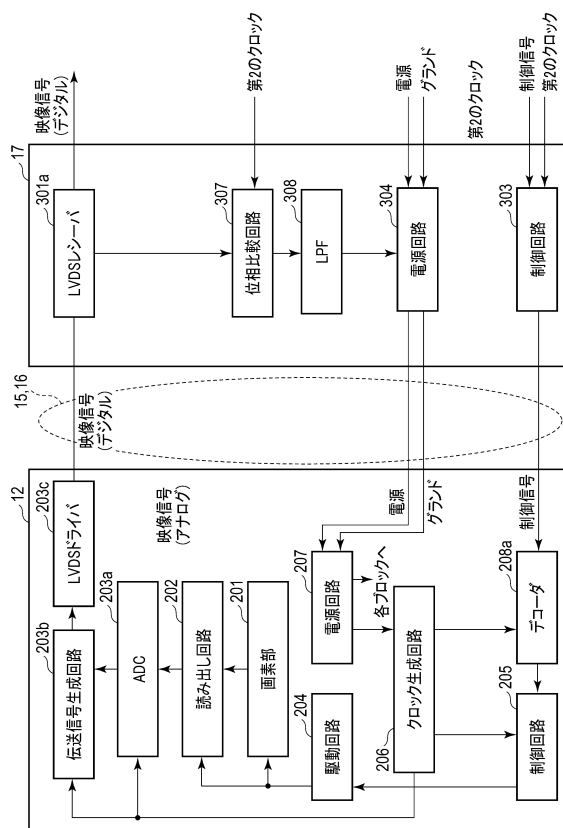
【図2】



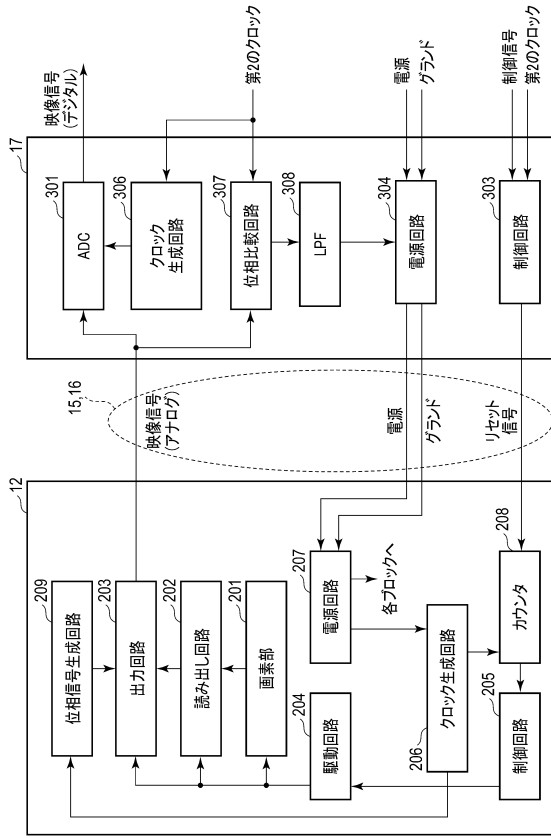
【図3】



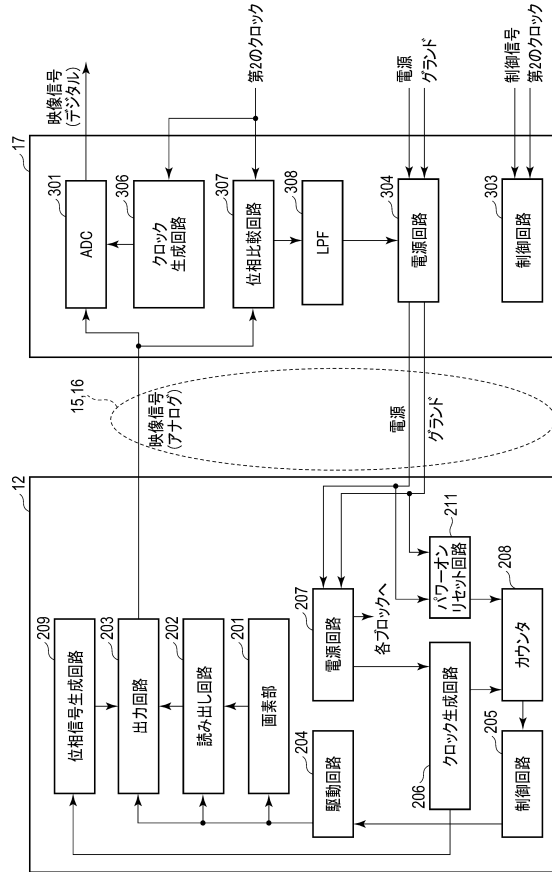
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 足立 理
東京都八王子市石川町2951番地 オリンパス株式会社内

審査官 永田 浩司

(56)参考文献 特開2000-165759(JP,A)
特開2009-201540(JP,A)
特開2016-111557(JP,A)
特開2014-212452(JP,A)
特開2013-146001(JP,A)

(58)調査した分野(Int.Cl., DB名)
A61B 1/00 - 1/32
G02B 23/24

专利名称(译)	成像装置和内窥镜系统		
公开(公告)号	JP6482745B2	公开(公告)日	2019-03-13
申请号	JP2018557560	申请日	2017-10-11
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
当前申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	足立理		
发明人	足立理		
IPC分类号	A61B1/045 A61B1/04 G02B23/24		
FI分类号	A61B1/045.630 A61B1/04.530 G02B23/24.B		
代理人(译)	河野直树 井上正 饭野滋 金子早苗		
审查员(译)	永田浩二		
优先权	2016248370 2016-12-21 JP		
其他公开文献	JPWO2018116587A1		
外部链接	Espacenet		

摘要(译)

成像设备包括图像传感器和相位比较电路。图像传感器包括：像素，其被配置为生成视频信号；读取电路，其被配置为读取视频信号；输出电路，其被配置为将视频信号输出至信号处理器；时钟生成电路，其被配置为生成第一时钟；第一控制电路，用于使信号处理器根据第一时钟和信号处理器生成的同步信号输出视频信号。相位比较电路在视频信号和信号处理器产生的第二时钟之间进行相位比较。时钟产生电路根据相位差信号基于电源电压产生第一时钟。

(19) 日本国特許庁(JP)	(12) 特許公報(B2)	(11) 特許番号 特許第6482745号 (P6482745)
(45) 発行日 平成31年3月13日(2019.3.13)	(24) 登録日 平成31年2月22日(2019.2.22)	
(51) Int. Cl.	F 1	
A 6 1 B 1/045 (2006.01)	A 6 1 B 1/045 6 3 0	
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 5 3 0	
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B	
請求項の数 8 (全 14 頁)		
(21) 出願番号 特願2018-557560 (P2018-557560)	(73) 特許権者 000000376	
(86) (22) 出願日 平成29年10月11日(2017.10.11)	オリンパス株式会社	
(86) 国際出願番号 PCT/JP2017/036846	東京都八王子市石川町2-9-5 1番地	
(87) 国際公開番号 W02018/116587	(74) 代理人 100108855	
(87) 国際公開日 平成30年6月28日(2018.6.28)	弁理士 蔵田 昌俊	
審査請求日 平成30年11月26日(2018.11.26)	(74) 代理人 100103034	
(31) 優先権主張番号 特願2016-248370 (P2016-248370)	弁理士 野河 信久	
(32) 優先日 平成28年12月21日(2016.12.21)	(74) 代理人 100153051	
(33) 優先権主張国 日本国(JP)	弁理士 河野 直樹	
早期審査対象出願	(74) 代理人 100179062	
	弁理士 井上 正	
	(74) 代理人 100199565	
	弁理士 飯野 茂	
	(74) 代理人 100162570	
	弁理士 金子 早苗	
最終頁に続く		

(54) 【発明の名称】 撮像装置及び内視鏡システム